

Translation of Priority Certificate

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: January 10, 2003

Application Number: Patent Application No. 2003-5054
[ST.10/C]: [JP2003-5054]

Applicant(s): KODAK JAPAN LTD.

February 18, 2003

Commissioner, Shinichiro OTA
Japan Patent Office

Priority Certificate No. 2003-3008399

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 1月10日

出 願 番 号

Application Number:

特願2003-005054,

[ST.10/C]:

[JP2003-005054]

出 願 人

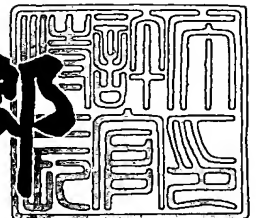
Applicant(s):

コダック株式会社

2003年 2月18日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3008399

【書類名】 特許願

【整理番号】 NK1-0317

【提出日】 平成15年 1月10日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/30

【発明者】

【住所又は居所】 東京都中央区日本橋小網町6番1号 コダック株式会社
内

【氏名】 水越 誠一

【発明者】

【住所又は居所】 東京都中央区日本橋小網町6番1号 コダック株式会社
内

【氏名】 森 信幸

【発明者】

【住所又は居所】 東京都中央区日本橋小網町6番1号 コダック株式会社
内

【氏名】 小野村 高一

【発明者】

【住所又は居所】 東京都中央区日本橋小網町6番1号 コダック株式会社
内

【氏名】 河野 誠

【特許出願人】

【識別番号】 592053974

【氏名又は名称】 コダック株式会社

【代理人】

【識別番号】 100075258

【弁理士】

【氏名又は名称】 吉田 研二

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100096976

【弁理士】

【氏名又は名称】 石田 純

【電話番号】 0422-21-2340

【手数料の表示】

【予納台帳番号】 001753

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 有機 E L 表示装置

【特許請求の範囲】

【請求項 1】 有機 E L 素子を含む表示画素をマトリクス配置する有機 E L 表示装置において、

表示する画素位置と、その画素の輝度補正データの関係についての面を規定する補正值算出式またはその係数を記憶する補正值算出式記憶部と、

各画素の位置についてのデータの入力を受け、前記補正值算出式記憶部に記憶されている補正值算出式またはその係数を用いて、各画素の補正值を出力する補正值出力部と、

を含み、

画素毎の輝度データを画素位置に応じて前記補正值出力部からの補正值を利用して補正し、各表示画素への表示を行う有機 E L 表示装置。

【請求項 2】 有機 E L 素子を含む表示画素をマトリクス配置する有機 E L 表示装置において、

表示する水平または垂直方向のいずれかのライン位置と、そのライン位置の画素についての輝度補正データを記憶する補正值記憶部と、

各画素の位置についてのデータの入力を受け、前記補正值記憶部に記憶されている各画素のライン位置と補正值の関係に基づいて、各画素の補正值を出力する補正值出力部と、

を含み、

画素毎の輝度データを画素位置に応じて前記補正值出力部からの補正值を利用して補正し、各表示画素への表示を行う有機 E L 表示装置。

【請求項 3】 有機 E L 素子を含む表示画素をマトリクス配置する有機 E L 表示装置の製造方法であって、

表示画素がマトリクス配置された表示エリア内の所定の複数の小エリアにおける表示画素の有機 E L 素子を選択的に発光させて、その際の各小エリア毎の駆動電流を検出し、

検出した各小エリア毎の駆動電流に基づいて、表示エリア全体における各画素

の輝度の不均一性の傾向を予測し、

この予測された輝度の不均一性の傾向に基づいて入力されてくる画素毎の画像データを補正するための補正データを記憶させる、

有機 E L 表示装置の製造方法。

【請求項 4】 請求項 3 に記載の方法であって、

前記小エリアは、1 以上の画素であって、小エリア同士は離れており、電流量を計測しない画素が存在する有機 E L 表示装置の製造方法。

【請求項 5】 請求項 3 または 4 に記載の方法であって、

前記補正データは、表示する画素位置と、その画素の輝度補正データの関係についての面を規定する補正值算出式またはその係数である有機 E L 表示装置の製造方法。

【請求項 6】 請求項 3 に記載の方法であって、

前記小エリアは、表示する水平または垂直方向のいずれかのラインであり、前記補正データは、ライン位置の画素についての輝度補正データである有機 E L 表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機 E L 素子をマトリクス状に配列して形成した有機 E L 表示装置、特に表示における不均一性の補正に関する。

【0002】

【従来の技術】

図1に、アクティブ型の有機 E L 表示装置における 1 画素分の回路（画素回路）の構成例を示す。ソースが電源ライン P V d d に接続された P チャンネルの駆動 T F T 1 のドレインが有機 E L 素子 3 のアノードに接続され、有機 E L 素子 3 のカソードが陰極電源 C V に接続されている。駆動 T F T 1 のゲートには、N チャンネルの選択 T F T 2 のソースが接続されており、この選択 T F T 2 のドレインはデータライン D a t a に接続され、ゲートはゲートライン G a t e に接続されている。また、駆動 T F T 1 のゲートには、保持容量 C の一端が接続されてお

り、他端は容量電源ライン V_{sc} に接続されている。

【0003】

従って、水平方向に伸びるゲートラインを H レベルにして、選択 TFT2 をオンし、その状態で垂直方向に伸びるデータライン $Data$ に表示輝度に応じた電圧を有するデータ信号をのせることで、データ信号が保持容量 C に蓄積される。これによって、駆動 TFT1 がデータ信号に応じた駆動電流を有機 EL 素子 3 に供給して、有機 EL 素子 3 が発光する。

【0004】

ここで、OLED 素子の発光量と電流はほぼ比例関係にある。通常、駆動 TFT1 のゲート PV_{dd} 間には画像の黒レベル付近でドレイン電流が流れ始めるような電圧 (V_{th}) を与える。また、画像信号の振幅としては、白レベル付近で所定の輝度となるような振幅を与える。

【0005】

図2は駆動 TFT1 のゲートソース間電圧 V_{gs} (データライン $Data$ の電圧と電源 PV_{dd} の差) に対する有機 EL 素子 3 に流れる電流 i_{cv} (輝度に対応する) の関係を示している。そして、黒レベル電圧として、 V_{th} を与え、白レベル電圧として、 V_a を与えるように、データ信号を決定することで、有機 EL 素子 3 における適切な階調制御を行うことができる。

【0006】

ここで、有機 EL 表示装置は、マトリクス状の多数の画素を配列した表示パネルで構成される。このため、製造上の問題で画素ごとに V_{th} がばらつき、1 枚の表示パネル上でも最適な黒レベルが画素ごとにばらつくことがある。その結果、データ信号 (入力電圧) に対する発光量が画素ごとに不均一となり、輝度ムラが発生する。この V_{th} のばらつきは、画素ごとにバラバラに変化する場合は少なく、表示画面の全体にわたって緩やかに変化する場合がある。この場合、全画素に同じ電圧を入力しても、図3の様に輝度が緩やかに変化する。すなわち、この例では、 x 方向では、右側ほど暗く、 y 方向では下側ほど暗い。従って、右下が暗く、左上が明るい画像になっている。

【0007】

また、水平または垂直のライン毎の不均在が顕著である場合は、それぞれの方向の筋となってあらわれる。

【0008】

各画素の輝度を測定し、メモリに記憶した補正データに従ってすべての画素について補正を行うことも提案されている（特許文献1）。

【0009】

【特許文献1】

特開平11-282420号公報

【0010】

【発明が解決しようとする課題】

しかし、この特許文献1の手法では、画素数が多い表示パネルでは輝度測定が容易でなく、またメモリの容量も多く必要となるという問題がある。また、画素の輝度を短時間に精度よく測定するのは一般的に困難である。

【0011】

本発明は、輝度補正を効率的に行うことを目的とする。

【0012】

【課題を解決するための手段】

本発明は、有機EL素子を含む表示画素をマトリクス配置する有機EL表示装置において、表示する画素位置と、その画素の輝度補正データの関係についての面を規定する補正值算出式またはその係数を記憶する補正值算出式記憶部と、各画素の位置についてのデータの入力を受け、前記補正值算出式記憶部に記憶されている補正值算出式またはその係数を用いて、各画素の補正值を出力する補正值出力部と、を含み、画素毎の輝度データを画素位置に応じて前記補正值出力部からの補正值を利用して補正し、各表示画素への表示を行うことを特徴とする。

【0013】

補正值算出式またはその係数を記憶しているため、これを用いて画素データを補正することができる。画素ごとに補正データを記憶する場合に比べデータ量を削減することができる。

【0014】

また、本発明は、有機EL素子を含む表示画素をマトリクス配置する有機EL表示装置において、表示する水平または垂直方向のいずれかのライン位置と、そのライン位置の画素についての輝度補正データを記憶する補正值記憶部と、各画素の位置についてのデータの入力を受け、前記補正值記憶部に記憶されている各画素のライン位置と補正值の関係に基づいて、各画素の補正值を出力する補正值出力部と、を含み、画素毎の輝度データを画素位置に応じて前記補正值出力部からの補正值を利用して補正し、各表示画素への表示を行うことを特徴とする。

【 0 0 1 5 】

ラインについての補正データを記憶するため、画素ごとにすべての補正データを記憶するのに比べ、その記憶容量を少なくできる。

【 0 0 1 6 】

また、本発明は、有機EL素子を含む表示画素をマトリクス配置する有機EL表示装置の製造方法であって、表示画素がマトリクス配置された表示エリア内の所定の複数の小エリアにおける表示画素の有機EL素子を選択的に発光させて、その際の各小エリア毎の駆動電流を検出し、検出した各小エリア毎の駆動電流に基づいて、表示エリア全体における各画素の輝度の不均一性の傾向を予測し、この予測された輝度の不均一性の傾向に基づいて入力されてくる画素毎の画像データを補正するための補正データを記憶させることを特徴とする。

【 0 0 1 7 】

小エリアごとの駆動電流により、画面全体のばらつきの傾向を求めることができ、作業が容易である。

【 0 0 1 8 】

また、前記小エリアは、1以上の画素であって、小エリア同士は離れており、電流量を計測しない画素が存在してもよく、この場合は測定回数及びトータルの測定時間を削減することができる。

【 0 0 1 9 】

また、前記補正データは、表示する画素位置と、その画素の輝度補正データの関係についての面を規定する補正值算出式であることが好適である。

【 0 0 2 0 】

また、前記小エリアは、表示する水平または垂直方向のいずれかのラインであり、前記補正データは、ライン位置の画素についての輝度補正データであることが好適である。

【0021】

【発明の実施の形態】

以下、本発明の実施形態について、図面に基づいて説明する。

【0022】

表示パネルは、通常ガラス基板上に形成され、表示エリアには画素回路がマトリクス状に配置され、その周辺に駆動回路が配置される。画素回路は、例えばガラス基板上にTFTや配線などを通常の半導体集積回路を構成する手法で構成し、その後ITOなどの画素電極を形成し、その上に有機層、陰極を積層形成することで作成する。

【0023】

このようにして、表示パネルが製作された場合には、電源を接続するとともに有機EL素子に流れるトータルの電流 I_{cv} を計測する。すなわち、図4に示すように、表示パネル10の各電源ライン PV_{dd} に電源電圧 PV_{dd} を供給し、全有機EL素子に共通のカソードから電源CV流れる合計電流 I_{cv} を電流検出器12によって検出し、得られた検出結果により、次のようにして補正值算出式を作成する。

【0024】

i) まず、表示パネル10の全画素に同じ電圧がかかる様な信号を用い、その電圧を変化させながらCV電流を測定する。各画素の平均電流(i_{cv})はこのCV電流を全画素数で割った値となるので、入力電圧対平均画素電流 i_{cv} の関係をプロットする。これによって、図5の(a)に示すような関係が得られる。

【0025】

ii) 次に、図4の[1]の部分(小エリア)だけに V_a の電圧がかかる様な信号を用い、そのときのCV電流 I_{cv} を測定し、この値をその小エリアの画素数でわり算して、その小エリアの平均画素電流(i_{cv})を求める。

【0026】

i i i) 上記 i) のカーブの形は基本的にどの画素についてもほぼ同じであると仮定すれば [1] の部分の平均的な i_{cv} 特性は図 5 の (b) の様になり、 ΔV_{th} は図に示すように推測される。すなわち、表示パネル全体の特性が (a) であれば、平均画素電流 i_{cv} は、入力電圧 V_{a0} に対応する。しかし、小エリア [1] の測定では、入力電圧 V_{a1} が平均画素電流 i_{cv} に対応しており、 $\Delta V_{th} = V_{a1} - V_{a0}$ の差がある。そこで、特性 (b) を特性 (a) を ΔV_{th} だけ左側に平行移動したものと推定する。

【0027】

i v) 図 4 における [2] ~ [9] の小エリアにおける ΔV_{th} を同様に求める。

【0028】

v) このようにして求められた 9 つの ΔV_{th} の結果をもとに、以下のような ΔV_{th} の変化を近似する平面の式を算出する。

【0029】

【数 1】

$$\Delta V_{th} = ax + by + c$$

ただし、 a 、 b 、 c は算出された係数、 x 、 y はそれぞれ水平方向及び垂直方向の画素の位置を示す。

【0030】

このようにして求めた平面の式（補正值算出式）が得られたため、その補正值算出式、あるいはその係数 a 、 b 、 c を装置内の不揮発性メモリ（例えば、フラッシュメモリ）に記憶する。なお、係数 a 、 b 、 c を記憶した場合には、この係数を読み出し、これをプログラム中の式に代入して補正值算出式を得る。

【0031】

そして、表示を行う際にこの補正值算出式にしたがって入力信号の黒レベルを変化させる。図 6 は補正回路のブロック図の一例である。

【0032】

表示パネル 10 は、RGB の各色ごとの画素を有しており、表示用のデータ信号は、RGB の各色ごとに別に入力されてくる。例えば、画素は垂直方向に同一

色のものを配置することで、各データラインにはRGBのいずれかのデータ信号が供給され、各色ごとの表示が行える。なお、RGBの各信号は、それぞれ8ビットの輝度信号である。

【0033】

R信号はルックアップテーブルLUT20R、G信号はルックアップテーブルLUT20G、B信号はルックアップテーブルLUT20Bに供給される。このルックアップテーブルLUT20R、20G、20Bには、図5における特性(a)を考慮し、画像データに対する輝度(電流)のカーブを所望のカーブとなるようにガンマ補正するテーブルデータが記憶されている。なお、ルックアップテーブルに代えて、特性式を記憶しておき、演算によって入力電圧を変換してもよい。なお、ルックアップテーブルLUT20R、20G、20Bの出力は、それぞれ10ビットのビット幅に広げられている。なお、ルックアップテーブルLUT20R、20G、20Bには、入力データに同期したクロックが供給されており、ルックアップテーブルLUT20R、20G、20Bからの出力も、このクロックに同期したものになっている。

【0034】

ルックアップテーブルLUT20R、20G、20Bの出力は、加算器22R、22G、22Bに供給される。この加算器22R、22G、22Bには、補正用オフセット発生回路24からの補正值がそれぞれ供給されている。

【0035】

この補正用オフセット発生回路24は、上述した補正值算出式 $\Delta V_{th} = a \cdot x + b \cdot y + c$ (または係数a, b, c)を記憶している。そして、供給されるクロックに応じて、データ信号の画素位置x, yを認識し、これに対応した ΔV_{th} を出力する。ここで、 ΔV_{th} は、RGBごとに別に発生できるようにしてもよいし、RGBについて共通にしてもよい。

【0036】

そして、この補正值 ΔV_{th} が加算器22R、22G、22Bにそれぞれ供給され、ここで加算される。これによって、ルックアップテーブルLUT20R、20G、20Bから出力された、全画素から得た図5の特性(a)を考慮したガ

ンマ補正後の画像データが表示画素位置に応じた特性（例えば特性（b）を考慮したガンマ補正後の画像データ）に変換される。この補正は、黒レベルをシフトさせたものに対応している。なお、補正用オフセット発生回路 2 4 からの出力補正值は 1 0 ビットであり、加算器 2 2 R、2 2 G、2 2 B のビット幅は 1 0 ビットになっている。

【 0 0 3 7 】

加算器 2 2 R、2 2 G、2 2 B の出力は、D/A 変換器 2 6 R、2 6 G、2 6 B に供給され、ここでアナログ信号に変換され、表示パネル 1 0 の各色ごとの入力端子 R i n、G i n、B i n に供給される。そこで、これら各色ごとに画素位置に応じて補正されたデータ信号がデータライン D a t a に供給され、各画素において、E L 素子がデータ信号に応じた電流で駆動される。

【 0 0 3 8 】

このように、本実施形態によれば、補正用オフセット発生回路 2 4 が、この補正值算出式に従って各画素の位置に於ける補正データを出力する。このため、全画素の補正データを記憶しておく必要はなく、大きなメモリは必要としない。なお、本実施形態においては、補正值算出式またはその係数はメモリ 2 4 a に記憶される。このメモリ 2 4 a は、上述のように、フラッシュメモリや、E E P R O M などの書き換え可能不揮発性メモリであることが好適である。

【 0 0 3 9 】

そして、製造上の問題により O L E D 表示素子に発生する輝度不均一性を、簡単な測定と、比較的簡単な外部回路により補正することができる。

【 0 0 4 0 】

このように、本実施形態では、画素ごとの輝度を測定する代わりに、小エリア（小エリアは、所定範囲の複数画素でもよいが、1 画素でもよい）の画素を発光させた時の C V 電流を検出することによって、小エリア画素の平均の V t h をもとめる。そして、この測定結果に基づいて、補正值を算出するための近似式（補正值算出式）を求め、これを記憶しておき、この補正值算出式に従ってデータ信号の補正を行う。すなわち、各画素の補正值をすべてメモリに記憶させておくのではなく、有機 E L 表示装置において、表示面のいくつかの部分の輝度または電

流を測定し、不均一性を表す近似的な曲面または平面を算出する。

【 0 0 4 1 】

そして、この曲面または平面の式あるいはその係数を装置内の不揮発性メモリに保持し、表示を行う際にこの計算式を用いて入力信号を補正する。これによって、画面全体における表示の不均一を効果的に補正することができる。

【 0 0 4 2 】

また、画面上の表示のムラとして、水平または垂直ライン毎のムラがある。この場合、画面上に水平または垂直方向の筋が現れる。

【 0 0 4 3 】

本実施形態においては、このような水平垂直方向のムラに対し、1ラインまたは数ラインを1つの小エリアに設定し、この小エリア毎のC V電流を計測し、補正値を1または複数ライン毎に記憶する。

【 0 0 4 4 】

このための回路構成は、上述の実施形態と全く同一でよく、補正用オフセット発生回路24が、供給されるラインナンバーに応じて、対応したオフセット値 ΔV_{th} を発生し、これが加算器22R、22G、22Bにおいて加算され、特性全体がシフトされ補正が行われる。

【 0 0 4 5 】

ここで、水平ライン毎に規則正しく並んだムラの補正の手順について、説明する。

【 0 0 4 6 】

i) 表示パネルの全画素に同じ電圧がかかるような信号を用い、その電圧とC V電流との関係を測定する。各画素の平均電流(i_{cv})はこのC V電流を全画素数で割った値となるので、入力電圧対 i_{cv} の関係をプロットする。すなわち、図5の特性(a)のデータを得る。

【 0 0 4 7 】

ii) 特定の1ラインまたは数ラインに V_{a0} の電圧がかかる様な信号を用い、そのときのC V電流(I_{cv})を測定し、各画素の平均電流(i_{cv})をもとめる。

【0048】

i i i) 上記 i) のカーブの形は基本的にどの画素についてもほぼ同じであると仮定し、 ΔV_{th} を図5のようにして求める。すなわち、特定の平均C V電流 i_{cv} に対応する入力電圧値と、その i_{cv} に対応する特性 (a) における入力電圧の差から ΔV_{th} を求める。

【0049】

i v) 残りの表示部分に於ける ΔV_{th} も同様に求める。

【0050】

v) 上記の結果をもとに、各ライン、または各数ラインごとの平均の ΔV_{th} を求め、これを表示装置のメモリに記憶する。

【0051】

そして、画像を表示する際に、画素のライン位置に応じて対応する ΔV_{th} をメモリから読み出し入力信号を補正する。なお、この補正は、画像信号のオフセットを行っており、黒レベルのシフトに対応している。

【0052】

装置構成としては、図6に示すものをそのまま用いることができ、補正用オフセット発生回路24に、ライン位置と補正值の関係が記憶されており、入力画像信号の画素位置に応じて、そのライン位置の補正值 ΔV_{th} が出力されこれが加算器22R、22G、22Bで加算されることになる。

【0053】

このように、本実施形態においても、1または数ラインごとの補正データを記憶すればよいため、すべての画素についての補正データを記憶するのに比べ、メモリの容量を小さくできる。また、データの作成には駆動電流の計測を利用するため、輝度の測定に比べ、その作業が容易となる。

【0054】

なお、垂直方向に規則正しく並んだムラに関しても同様に補正できる。

【0055】

さらに、次のような変形も可能である。

【0056】

(i) 上述の例では平面の式を用いたが、曲面の式を用いてもよい。例えば、 x 、 y を変数とする高次の多項式とすることができる。

【0057】

(ii) ΔV_{th} に関しては、 C_V 電流が流れ始める点の入力電圧を V_{th} とみなして測定することもできる。

【0058】

(iii) C_V 電流を測定して輝度不均一性を予測するかわりに実際に輝度を測定しても良い。

【0059】

【発明の効果】

以上説明したように、本発明によれば、補正值算出式またはその係数を記憶し、これを用いて画素データを補正するため、画素ごとに補正データを記憶するのに比べデータ量を削減することができる。

【0060】

また、ラインについての補正データを記憶するため、画素ごとにすべての補正データを記憶するのに比べ、その記憶容量を少なくできる。

【0061】

また、小エリアごとの駆動電流により、画面全体のばらつきの傾向を求めることができ、その作業が容易である。

【図面の簡単な説明】

【図1】 アクティブ型の有機EL表示装置における画素回路の構成例を示す図である。

【図2】 駆動TFTのゲートソース間電圧 V_{gs} に対する輝度及び有機EL素子に流れる電流 i_{cv} の関係を示す図である。

【図3】 輝度が緩やかに変化する画面表示例を示す図である。

【図4】 エリア毎の電流検出を説明する図である。

【図5】 駆動TFTのゲートソース間電圧 V_{gs} に対する輝度及び有機EL素子に流れる電流 i_{cv} の関係の変化を示す図である。

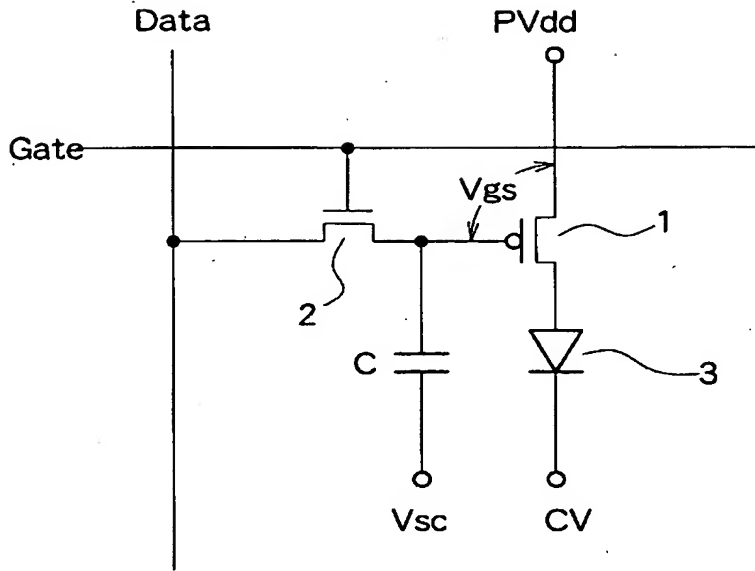
【図6】 補正回路の構成例を示すブロック図である。

【符号の説明】

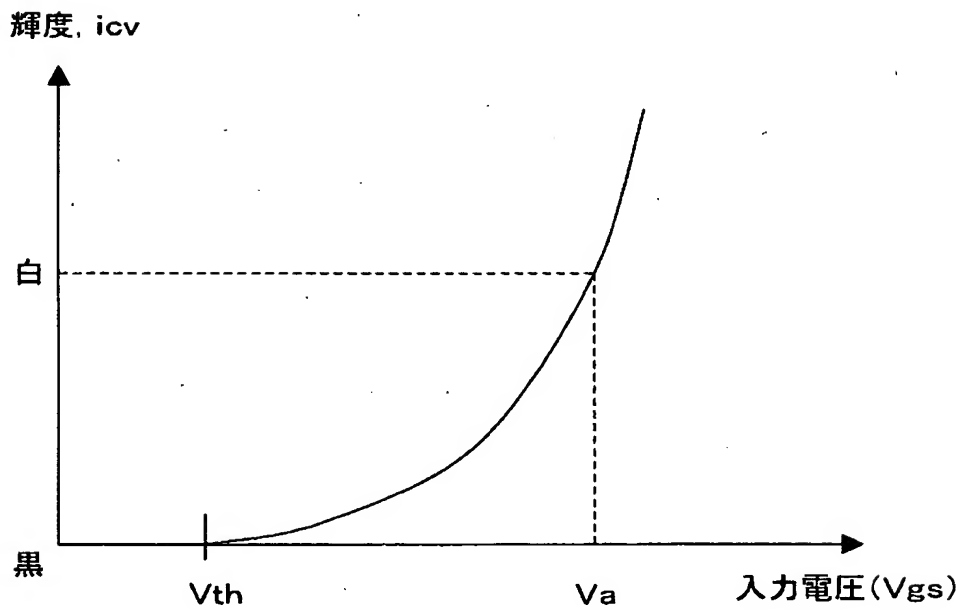
1 駆動TFT、2 選択TFT、3 有機EL素子、10 表示パネル、1
2 電流検出器、20R, 20G, 20B ルックアップテーブル、22R, 2
2G, 22B 加算器、24 補正用オフセット発生回路、24a メモリ、2
6R, 26G, 26B D/A変換器。

【書類名】 図面

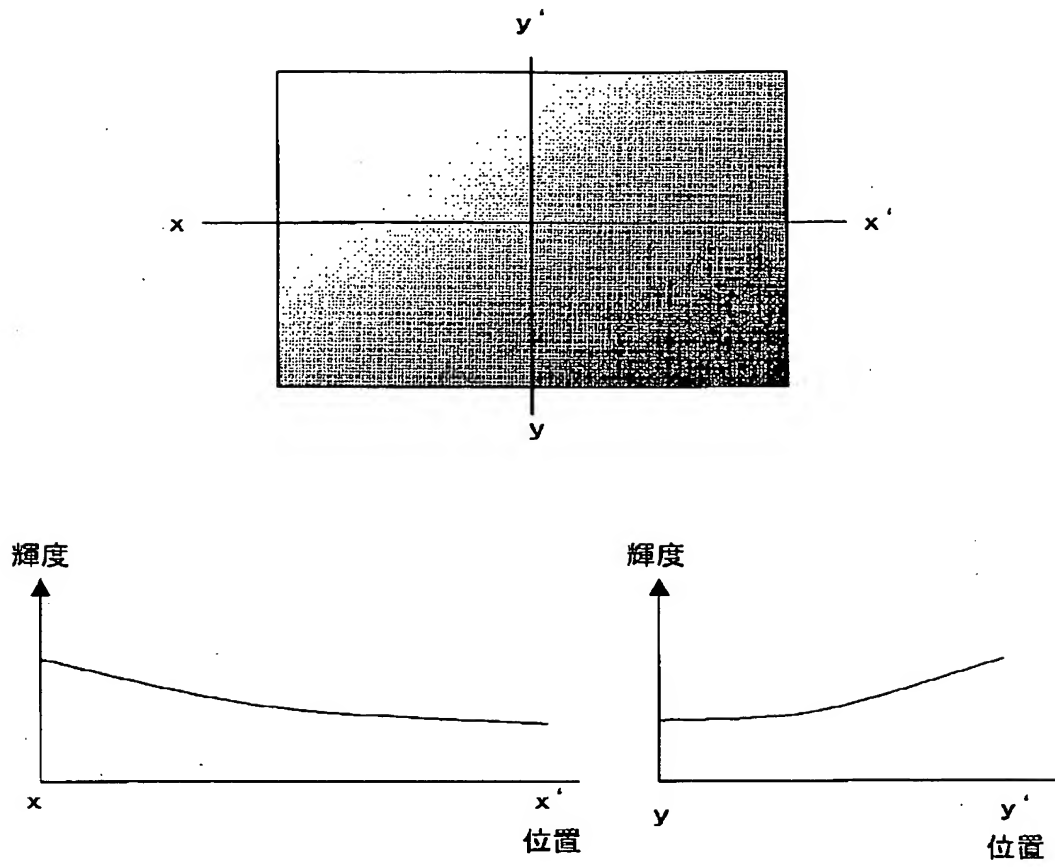
【図 1】



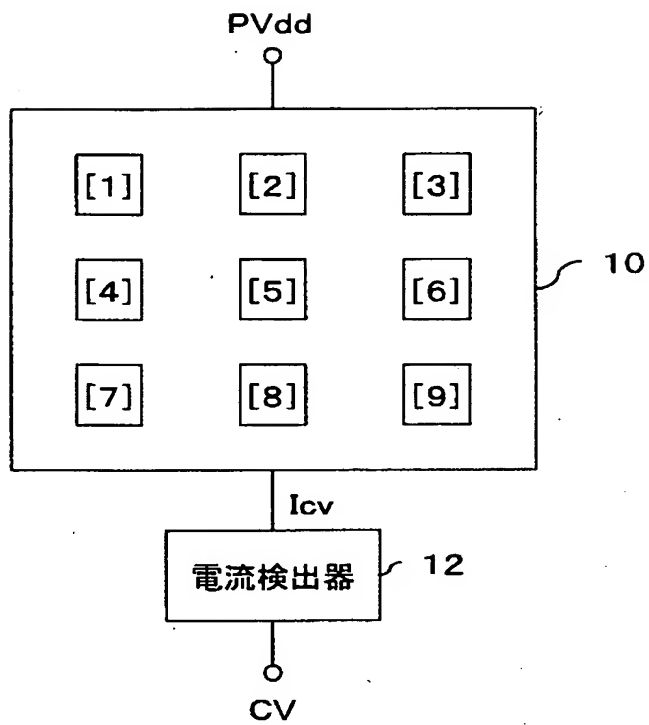
【図 2】



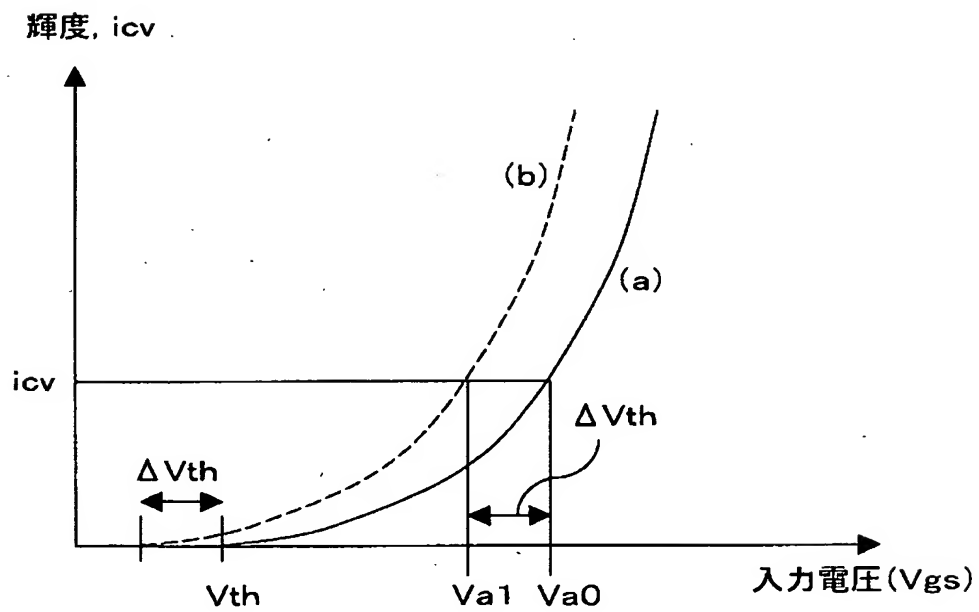
【図 3】



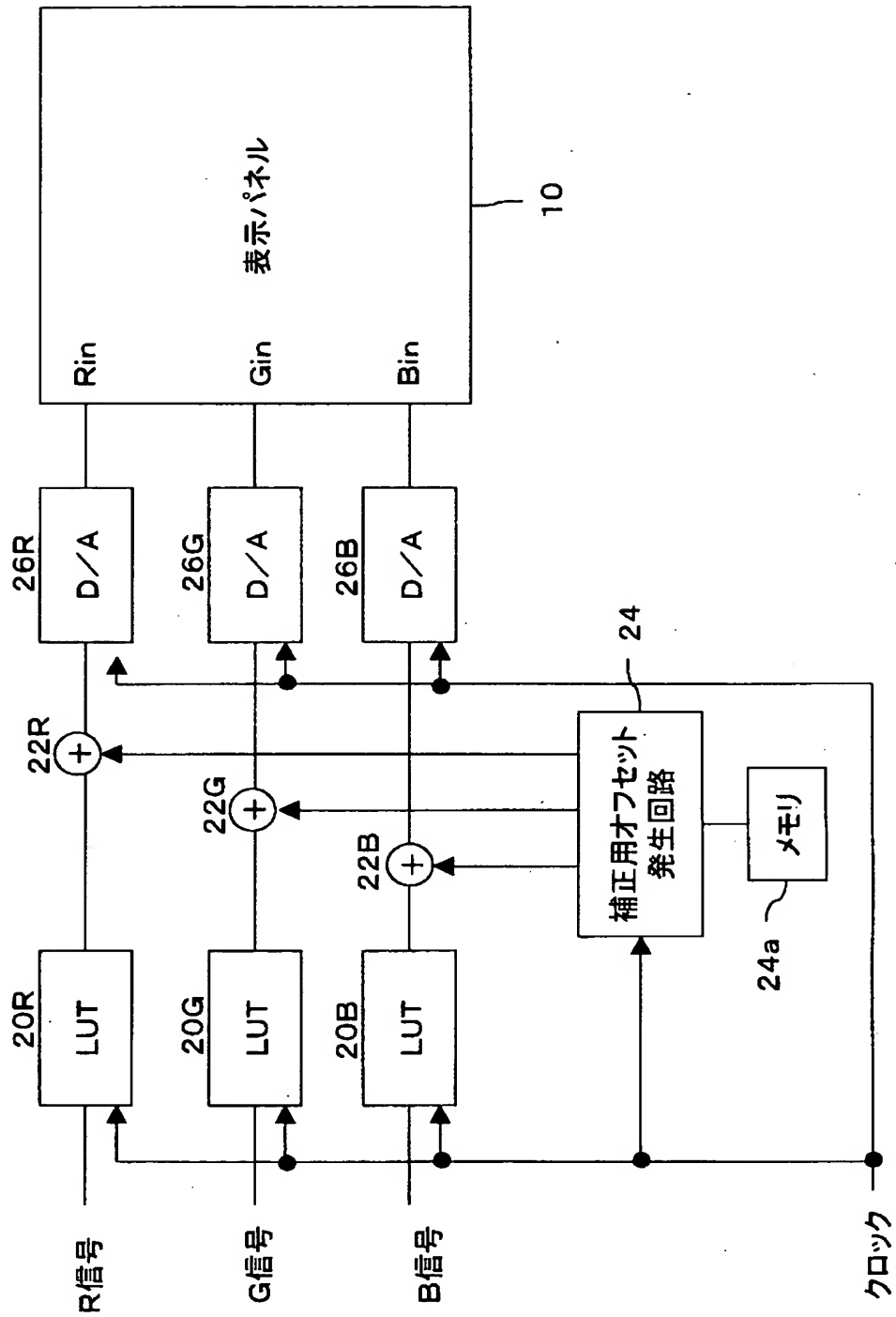
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】

【解決手段】 補正用オフセット発生回路 2 4 には、画素位置に対する黒レベルオフセット値の関係を規定する補正值算出式が記憶されている。そして、入力画像データの画素位置に応じて補正データが算出され、これを加算することで黒レベルオフセット値を変更して画像データの補正が行え、画面上の表示のばらつき発生を防止できる。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [592053974]

1. 変更年月日	1999年 7月23日
[変更理由]	名称変更
住 所	東京都中央区日本橋小網町6番1号
氏 名	コダック株式会社